

Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

Ufficio Italiano Brevetti e Marchi

Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. **MI2002 A 001424**



*Si dichiara che l'unita' copia e conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Inoltre verbale depositato alla Camera di Commercio di Milano n. MIR002196 del 01/08/2002 (pag. 1)
disegni definitivi (pagg. 4).

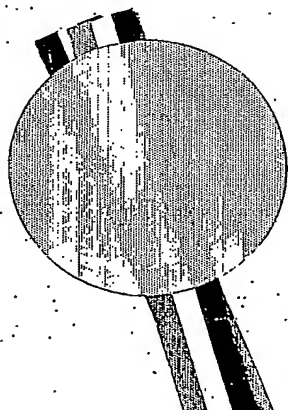
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

16 GIU. 2003

Roma, li.....

IL DIRIGENTE

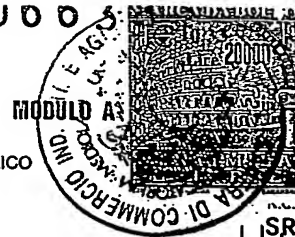
D.ssa Paola DI CINTIO



AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO



A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics s.r.l.
 Residenza AGRATE BRIANZA (Milano) codice 00951900968
 2) Denominazione DORA S.p.A.
 Residenza CHATILLON (Aosta) codice 00197800071

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome MITTLER Enrico e altri cod. fiscale _____
 denominazione studio di appartenenza MITTLER & C. s.r.l.
 via Le Lombardia n. 20 città MILANO cap 20131 (prov) MI

C. DOMICILIO ELETTIVO destinatario vedi sopra

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/ci/sd) _____ gruppo/sottogruppo _____/_____/_____

"Dispositivo per il pilotaggio di colonne di un display a cristalli liquidi."

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA _____/_____/_____

N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) PAPPALARDO Salvatore 3) PRIVITERA Salvatore
 2) PULVIRENTI Francesco 4) SALA Leonardo

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

1) _____/_____/_____
 2) _____/_____/_____

SCIOGLIMENTO RISERVE

Data N° Protocollo

_____/_____/_____
 _____/_____/_____

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICROORGANISMI, denominazione _____

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 117
 Doc. 2) 2 PROV n. tav. 04
 Doc. 3) 1 RIS
 Doc. 4) 0 RIS
 Doc. 5) 0 RIS
 Doc. 6) 0 RIS
 Doc. 7) 0

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)

disegno (obbligatorio se citato in descrizione, 1 esemplare)

dichiarazione sostitutiva

del depositante

designazione inventore

documenti di priorità con traduzione in italiano

autorizzazione o atto di cessione

nominativo completo del richiedente

8) attestati di versamento, totale Euro 291,80 (duecentonovantuno/80)

obbligatorio

COMPILATO IL 27/06/2002

FIRMA DEL(I) RICHIEDENTE(I)

p.p. STMicroelectronics s.r.l.

CONTINUA SI/NO NO

DORA S.p.A.

Dr. Ing. MITTLER Enrico

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO SI

CAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO

MILANO

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2002A 001424

Reg. A.

codice 15

L'anno DUEMILADUE

, il giorno VENTISETTE

, del mese di GIUGNO

Il(I) richiedente(i) sopralindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata di 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

L'UFFICIALE ROGANTE

R. SP. NOT. TO

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2002A 001424 REG. ADATA DI DEPOSITO 27/06/2002NUMERO BREVETTO DATA DI RILASCIO 11/11/1111

D. TITOLO

"Dispositivo per il pilotaggio di colonne di un display a cristalli liquidi."

L. RIASSUNTO

E' descritto un dispositivo per il pilotaggio di colonne di un display a cristalli liquidi comprendente una circuiteria logica (10) operante in un percorso di alimentazione compreso fra una prima (VDD) ed una seconda (VSS) tensione di alimentazione in cui la prima tensione di alimentazione è (VDD) più alta della seconda tensione di alimentazione (VSS). La circuiteria logica (10) è capace di generare a partire da primi segnali logici (LOW_FRAME, WHITE_PIX) in ingresso secondi segnali logici (CP, CN, CP_N, CN_N) in uscita il cui valore è pari alla prima (VDD) o seconda (VSS) tensione di alimentazione. Il dispositivo comprende due dispositivi elevatori (11, 12) accoppiati alla circuiteria logica (10) ed operanti in un percorso di alimentazione compreso fra una terza tensione di alimentazione (VLCD) maggiore della prima tensione di alimentazione (VDD) e la seconda tensione di alimentazione (VSS); i dispositivi elevatori (11, 12) sono capaci di elevare il valore dei secondi segnali logici (CP, CN, CP_N, CN_N). Il dispositivo comprende anche una prima (T11-T12) ed una seconda (T13-T14) coppia di transistor aventi differenti percorsi di alimentazione (VLCD-VA, VB-VSS) ed aventi un terminale di uscita (OUT) in comune; la prima (T11-T12) e la seconda (T13-T14) coppia di transistor sono collegate ai dispositivi elevatori (11, 12) in modo da determinare il segnale di pilotaggio di una colonna. Il dispositivo comprende una circuiteria di spegnimento (15) operante in un percorso di alimentazione compreso fra la terza (VLCD) e la seconda tensione di alimentazione (VSS) ed accoppiata ai due dispositivi elevatori (11, 12). La circuiteria (15) è capace di mantenere in stato di spegnimento una delle due coppie di transistor (T11-T12, T13-T14) nel periodo di tempo di un frame quando l'altra delle due coppie di transistor (T11-T12, T13-T14) è in condizioni operative. (Fig. 5).

M. DISEGNO

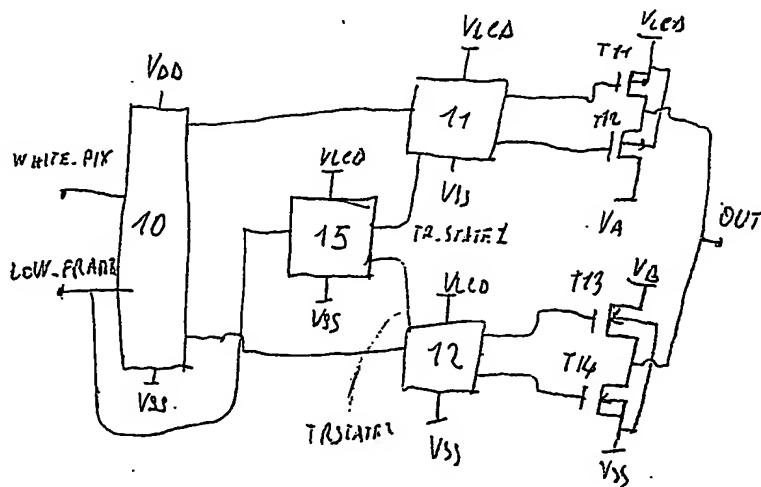
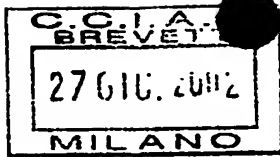


FIG. 5





Dr. Ing. Enrico Mittler

DESCRIZIONE

MI 2002 A 001424

dell'invenzione industriale avente per titolo:

"Dispositivo per il pilotaggio di colonne di un display a cristalli liquidi."

a nome: 1. STMicroelectronics s.r.l.; 2.DORA S.p.A.

* * * *

La presente invenzione concerne un dispositivo per il pilotaggio di colonne di un display a cristalli liquidi.

I display a cristalli liquidi (LCD) sono oggi utilizzati in un numero sempre piu' crescente di prodotti come i telefoni cellulari, computer portatili, etc. I display, che possono essere in bianco e nero, in scala di grigi o a colori, sono generalmente formati da una matrice di elettrodi a righe e colonne che, opportunamente pilotati mediante l'applicazione di un segnale di tensione, determinano in corrispondenza dei punti di incrocio, i cosiddetti pixels, una modifica del comportamento ottico del cristallo liquido interposto.

L'immagine che viene visualizzata sul display viene ottenuta attraverso diversi possibili metodi di pilotaggio delle righe e delle colonne.

Un metodo sovente utilizzato per il pilotaggio di un visualizzatore LCD e noto come Improved Alt & Pleshko (IA&P), richiede l'eccitazione di un singolo elettrodo di riga per un periodo di tempo elementare mediante un unico impulso di selezione e l'eccitazione contemporanea degli elettrodi di colonna; a quest'ultimi vengono applicati valori di tensione atti a determinare l'accensione o lo spegnimento di tutti i pixels che appartengono a quella singola riga. Per un successivo periodo di tempo elementare si avrà l'eccitazione di un altro elettrodo di riga e così via fino ad ultimare la scansione dell'ultimo elettrodo di riga; pertanto se gli elettrodi di riga sono un

numero N e T è il periodo di tempo elementare, il tempo necessario alla scansione di tutte le righe sarà dato da NT che è detto anche "frame".

Le caratteristiche di trasmissione ottica del cristallo liquido variano con l'ampiezza della tensione applicata al pixel relativo, ma l'applicazione di una tensione continua è dannosa per il cristallo liquido in quanto cambia e degrada in modo permanente le proprietà fisiche del materiale. Per tale motivo i segnali di tensione utilizzati per pilotare i singoli pixel di un display LCD sono segnali di tensione alternata rispetto ad un valor comune di tensione in continua che non necessariamente deve essere il potenziale di massa. In tal modo il pilotaggio di un pixel dello schermo avviene attraverso due forme d'onda di uguale ampiezza ma di polarità opposta rispetto ad una tensione comune, che si susseguono periodicamente. Pertanto la tensione di pilotaggio applicata ad un dato pixel durante il suo periodo T all'interno di un frame viene applicata con polarità opposta durante il rispettivo periodo T del frame successivo.

Tuttavia tutte queste transizioni di tensione coinvolgono una potenza significativa che deve essere maneggiata dai circuiti di pilotaggio. Pertanto uno degli scopi primari nella progettazione dei dispositivi di pilotaggio di righe e colonne degli LCD è quello di ridurre il consumo di potenza in modo da minimizzare sia la potenza erogata dagli alimentatori di tali dispositivi, sia la potenza dissipata da essi.

Una parte di un dispositivo per il pilotaggio di colonne di un LCD, più precisamente il dispositivo Philips PCF8548, è descritto in figura 1.

Il segnale `LOW_FRAME` è un segnale logico che vale 0 nei frame pari, e vale 1 nei frame dispari. `WHITE_PIX` è invece un segnale logico che vale 0

quando il pixel deve essere acceso, vale 1 quando il pixel deve essere tenuto spento. A partire da questi due segnali vengono generati, attraverso un circuito 1, i segnali di controllo che pilotano due transistor PMOS T9, T10 e due transistor NMOS T7, T8.

In particolare i terminali di gate dei transistor T8, T9 e T10 sono pilotati attraverso 3 celle circuitali identiche C1, mostrate in figura 2. Dette celle sono dei level-shifter cioè dei buffer che convertono i livelli del segnale logico da bassa tensione ad alta tensione in particolare dalla tensione di alimentazione VDD ad una tensione di pilotaggio VLCD generata da un dispositivo (non mostrato in figura) comprendente un regolatore booster attraverso la connessione di un certo numero di stadi di una pompa di carica.

Ogni cella C1 comprende due transistor NMOS M22 e M23 pilotati dai segnali A e NA, cioè il segnale in uscita dalla circuiteria logica 1 ed il segnale A negato. I terminali di source dei transistor M22 e M23 sono connessi alla tensione VSS ed i terminali di drain sono connessi rispettivamente ai terminali di drain di due transistor PMOS M20 e M21 sul terminale di source dei quali è presente la tensione VLCD; inoltre i terminali di drain dei transistor M22 e M23 sono connessi ai terminali di gate dei transistor M21 e M20. Le uscite Q pilotano le gate dei transistor T10, T9 e T8.

Il terminale di gate del transistor T7 è invece pilotato direttamente da un segnale logico di bassa tensione.

Il terminale di source del transistor T9 è connesso ad un riferimento di tensione VA mentre il terminale di drain è connesso al terminale di drain del transistor T10 il cui terminale di source è connesso alla tensione VLCD. Il terminale di source del transistor T8 è connesso ad un riferimento di tensione

VB mentre il terminale di drain è connesso al terminale di drain del transistor T7 il cui terminale di source è connesso alla tensione VSS. I terminali di drain delle coppie di transistor T7-T8 e T9-T10 sono in comune e forniscono il segnale di uscita OUT.

Le tensioni VA e VB sono differenti livelli di tensione intermedi fra le tensioni VLCD e VSS e vengono generati all'interno del dispositivo di pilotaggio di un LCD. Il rapporto fra questi livelli e VLCD viene scelto in base alla dimensione della matrice del display secondo dei criteri che verranno esposti di seguito.

In particolare, secondo la tecnica Improved Alt & Pleshko, per pilotare in maniera adeguata il display a cristalli liquidi, vengono generati internamente al dispositivo quattro diversi livelli di tensione intermedi fra VLCD e VSS. Il rapporto fra questi livelli e VLCD viene fissato in base al numero di righe m del display secondo le relazioni:

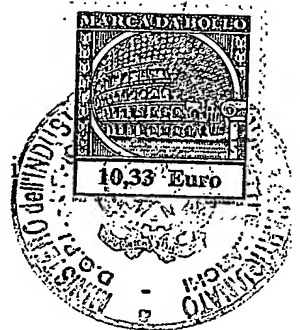
$$\text{VLCD}, [(n+3)/(n+4)]*\text{VLCD}, [(n+2)/(n+4)]*\text{VLCD}, [2/(n+4)]*\text{VLCD}, \\ [1/(n+4)]*\text{VLCD}, \text{VSS})$$

con n dato dalla radice quadrata di $m-3$.

Se, ad esempio, $m = 81 \Rightarrow n = 6$ nel caso di un display con 81 righe i livelli di tensione saranno:

$$\text{VLCD} \quad (9/10)*\text{VLCD} \quad (8/10)*\text{VLCD} \quad (2/10)*\text{VLCD} \\ (1/10)*\text{VLCD} \quad \text{VSS}.$$

Con riferimento al circuito di pilotaggio di figura 1, nel caso di un pilotaggio di colonne, i riferimenti di tensione VA e VB saranno uguali rispettivamente a $(8/10)*\text{VLCD}$ e $(2/10)*\text{VLCD}$. Il pilotaggio avverrà, ad esempio, nella maniera seguente: in un frame verranno accesi



alternativamente i transistor T9 e T10 mentre i transistor T7 e T8 saranno spenti; in tal caso il segnale di uscita OUT, atto al pilotaggio di una colonna, varierà tra VLCD e VA a seconda se il pixel sulla matrice di righe e colonne dato dall'incrocio della colonna e della riga corrispondenti è acceso o no. Nel frame successivo i transistor T7 e T8 saranno accesi alternativamente mentre i transistor T9 e T10 saranno spenti e pertanto il segnale di uscita varierà tra VSS e VB a seconda se il pixel di incrocio della colonna e della riga corrispondenti sarà acceso o no. Le forme d'onda del segnale di uscita OUT nel caso di pilotaggio di due colonne COL0 e COL1 per un frame n e per il successivo frame n+1 sono mostrate in figura 3. La figura 4 mostra l'immagine come appare sul display.

In vista dello stato della tecnica, scopo della presente invenzione è quello di realizzare un dispositivo di pilotaggio di colonne di un display a cristalli liquidi che abbia un minor consumo di corrente rispetto ai dispositivi noti.

In accordo alla presente invenzione, tale scopo viene raggiunto mediante un dispositivo per il pilotaggio di colonne di un display a cristalli liquidi comprendente una circuiteria logica operante in un percorso di alimentazione compreso fra una prima ed una seconda tensione di alimentazione con detta prima tensione di alimentazione più alta di detta seconda tensione di alimentazione, detta circuiteria logica essendo capace di generare a partire da primi segnali logici in ingresso secondi segnali logici in uscita il cui valore è pari a detta prima o seconda tensione di alimentazione, dispositivi elevatori accoppiati a detta circuiteria logica ed operanti in un percorso di alimentazione compreso fra una terza tensione di alimentazione maggiore di detta prima tensione di alimentazione e detta seconda tensione di

alimentazione, detti dispositivi elevatori essendo capaci di elevare il valore di detti secondi segnali logici, una prima ed una seconda coppia di transistor aventi differenti percorsi di alimentazione ed aventi un terminale di uscita in comune, dette prima e seconda coppia di transistor essendo associate a detti dispositivi elevatori e a detta circuiteria logica in modo da determinare il segnale di pilotaggio di una colonna, caratterizzato dal fatto che detti dispositivi elevatori sono due e ciascuno dei quali è collegato con una di dette coppie di transistor, e dal fatto di comprendere una circuiteria di spegnimento accoppiata a detti due dispositivi elevatori, detta circuiteria essendo capace di mantenere in stato di spegnimento una di dette due coppie di transistor nel periodo di tempo di un frame quando l'altra di dette due coppie di transistor è in condizioni operative.

Le caratteristiche ed i vantaggi della presente invenzione risulteranno evidenti dalla seguente descrizione dettagliata di una sua forma di realizzazione pratica, illustrata a titolo di esempio non limitativo negli uniti disegni, nei quali:

la figura 1 è uno schema circuitale di un dispositivo di pilotaggio di colonne di un LCD secondo l'arte nota;

la figura 2 è uno schema circuitale più in dettaglio di una parte del circuito di figura 1;

la figura 3 mostra forme d'onda del segnale di tensione in uscita dal circuito di figura 1 nel caso di pilotaggio di due colonne;

la figura 4 mostra un'immagine formata sullo schermo di un LCD;

la figura 5 è uno schema circuitale di un dispositivo per il pilotaggio delle colonne di un LCD secondo l'invenzione;

la figura 6 è uno schema circuitale più in dettaglio del dispositivo di figura 5;

la figura 7 mostra forma d'onda temporali dei segnali LOW_FRAME, WHITE_PIX, CN, CN_N, CP, CP_N e OUT inerenti il circuito di figura 6.

Nella figura 5 è mostrato uno schema circuitale di un dispositivo per il pilotaggio di colonne di un LCD secondo la presente invenzione. Detto dispositivo comprende un circuito di logica di bassa tensione 10 operante fra una tensione di alimentazione VDD ed una tensione di alimentazione VSS, due level-shifter 11 e 12 operanti fra una tensione di alimentazione VLCD fornita da un dispositivo comprendente un regolatore booster attraverso la connessione di un certo numero di stadi di una pompa di carica e la tensione VSS, una coppia di transistor PMOS T11, T12 ed una coppia di transistor NMOS T13, T14 aventi differenti percorsi di alimentazione. Il principio su cui è fondata l'invenzione è che in un frame non ci saranno mai entrambi i transistor PMOS T11, T12 o entrambi i transistor NMOS T13, T14 accesi. Ciò consente di eliminare un level-shifter rispetto al dispositivo di pilotaggio di figura 1, in quanto ogni level-shifter comprende oltre al segnale di uscita il suo negato, ma è necessario aggiungere una circuiteria per mantenere spenti i transistor MOS non coinvolti nelle commutazioni durante il suddetto frame; ne deriva una diminuzione della corrente utilizzata nel dispositivo di pilotaggio delle colonne. Pertanto il dispositivo di figura 5 comprende anche una circuiteria di spegnimento 15 capace di generare due segnali tr-state1 e tr-state2 atti a spegnere alternativamente attraverso i level-shifter 11 e 12 i transistor PMOS T11, T12 o i transistor NMOS T13, T14 non coinvolti nelle commutazioni al susseguirsi del frame.

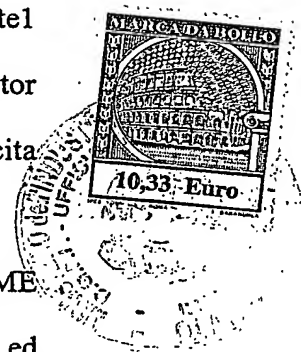
Il segnale LOW_FRAME è un segnale logico che vale 0 nei frame pari, e vale 1 nei frame dispari. WHITE_PIX è invece un segnale logico che vale 0 quando il pixel deve essere acceso, vale 1 quando il pixel deve essere tenuto spento. A partire da questi due segnali vengono generati, attraverso il circuito 10, i segnali logici CP, CP_N, CN, CN_N, atti a pilotare i level-shifter 11 e 12 che a loro volta pilotano la coppia di transistor PMOS T11, T12 e la coppia di transistor NMOS T13, T14.

Il circuito 10 fa in modo che se il segnale logico LOW_FRAME è al livello logico 1, i segnali CP e CP_N vengono posti al livello logico 0 ed i segnali CN e CN_N commutano seguendo le commutazioni del segnale WHITE_PIX; più precisamente il segnale CN è in fase con il segnale WHITE_PIX mentre il segnale CN_N è il segnale CN negato.

Dato che i segnali logici CP e CP_N sono al livello logico 0, il level-shifter 11 che viene pilotato da detti segnali deve essere inattivo in modo tale che i transistor PMOS T11 e T12 siano spenti. In tal caso il segnale tr-state1 generato dalla circuiteria 15 mantiene inattivo il level-shifter 11. I transistor NMOS T13, T14 vengono pilotati dal level-shifter 12 in funzione e l'uscita OUT del dispositivo di pilotaggio di colonne varia tra VSS e VB.

Sempre il circuito 10 fa in modo che se il segnale logico LOW_FRAME è al livello logico 0, i segnali CN e CN_N vengono posti al livello logico 1 ed i segnali CP e CP_N commutano seguendo le commutazioni del segnale WHITE_PIX; più precisamente il segnale CP è in fase con il segnale WHITE_PIX mentre il segnale CP_N è il segnale CP negato.

Dato che i segnali logici CN e CN_N sono al livello logico 1, il level-shifter 12 che viene pilotato da detti segnali deve essere inattivo in modo tale



che i transistor NMOS T13 e T14 siano spenti. In tal caso il segnale tr-state2 generato dalla circuiteria 15 mantiene inattivo il level-shifter 12. I transistor PMOS T11, T12 vengono pilotati dal level-shifter 11 in funzione e l'uscita OUT del dispositivo di pilotaggio di colonne varia tra VLCD e VA.

In figura 7 sono riportati i diagrammi temporali dei segnali LOW_FRAME, WHITE_PIX, CN, CN_N, CP, CP_N, OUT che derivano da simulazioni relative a due frame successivi, cioè un frame pari ed un frame dispari.

Nella figura 6 vengono mostrati più in dettaglio i componenti del dispositivo di pilotaggio di colonne di figura 5.

La circuiteria logica di bassa tensione 10 comprende alcune porte NOT, NAND e NOR che a partire dai segnali WHITE_PIX e LOW_FRAME in ingresso alla circuiteria 10 generano i segnali logici CP, CP_N, CN, CN_N, atti a pilotare i level-shifter 11 e 12 ed aventi un valore di tensione uguale alla tensione VDD o alla tensione VSS come mostrato in figura 6.

Il dispositivo 11 comprende due transistor NMOS M8 e M9 pilotati dai segnali CP e CP_N i cui terminali di source sono connessi alla tensione VSS ed i cui terminali di drain sono connessi rispettivamente ai terminali di drain di due transistor PMOS M4 e M5 sul terminale di source dei quali è presente la tensione VLCD. I terminali di gate dei transistor M4 e M5 sono connessi ai terminali di drain dei transistor M9 e M8.

Gli stessi terminali di drain dei transistor M8 e M9 sono connessi ai terminali di gate dei transistor M2 e M1 sui terminali di source dei quali è presente la tensione VLCD, ed ai terminali di drain dei transistor M3 e M6 sui terminali di source è presente la tensione VLCD. I transistor M1, M2, M3, M6

appartengono alla circuiteria di spegnimento 15 che comprende anche un transistor M7 avente il terminale di source connesso alla tensione VSS, il terminale di drain in comune con il terminale di gate dei transistor M3 e M6 e con i terminali di drain dei transistor M1 e M2; sul terminale di gate è presente il segnale LOW_FRAME.

Il dispositivo 12 comprende due transistor NMOS M14 e M15 pilotati dai segnali CN e CN_N i cui terminali di source sono connessi alla tensione VSS ed i cui terminali di drain sono connessi rispettivamente ai terminali di drain di due transistor PMOS M12 e M13 i terminali di gate dei quali sono connessi ai terminali di drain dei transistor M15 e M14. I terminali di source dei transistor M12 e M13 sono connessi ai terminali di drain di due transistor M10 e M11 aventi i terminali di gate in comune e sui terminali di source è presente la tensione VLCD. Il terminale di gate dei transistor M10 e M11 è connesso al terminale di gate del transistor M6.

La coppia di transistor PMOS T11 e T12 ha un percorso di alimentazione compreso fra le tensioni VLCD e VA mentre la coppia di transistor NMOS T13 e T14 ha un percorso di alimentazione compreso fra le tensioni VB e VSS. I terminali di gate dei transistor T11 e T12 sono collegati con i terminali di drain dei transistor M8 e M9 del dispositivo 11 mentre i terminali di gate dei transistor T13 e T14 sono collegati con i terminali di drain dei transistor M15 e M14 del dispositivo 12. Il terminale di uscita dei transistor T11 e T12 è connesso al terminale di uscita dei transistor T13 e T14 e rappresenta il terminale di uscita OUT del dispositivo di pilotaggio della presente invenzione.

Il circuito 10 fa in modo che, come visibile in figura 6, se il segnale

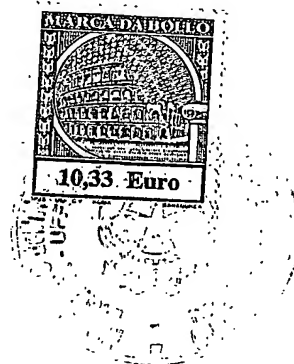
logico LOW_FRAME è al livello logico 1, i segnali CP e CP_N vengono posti al livello logico 0 ed i segnali CN e CN_N commutano seguendo le commutazioni del segnale WHITE_PIX; più precisamente il segnale CN è in fase con il segnale WHITE_PIX mentre il segnale CN_N è il segnale CN negato.

Con i segnali logici CP e CP_N al livello logico 0, il level-shifter 11 è inattivo ed i transistor PMOS T11 e T12 sono spenti. Infatti il transistor M7 è acceso e provoca l'accensione dei transistor M3 e M6 in quanto porta la tensione sui loro terminali di gate a VSS; in tal modo la tensione sui terminali di gate dei transistor T11 e T12 è portata ad una tensione sostanzialmente uguale a VLCD mediante i transistor M3 e M6. L'accensione del transistor M7 provoca l'accensione dei transistor M10 e M11 che portano la tensione sui terminali di source dei transistor M12 e M13 praticamente uguale a VLCD. In tal caso il segnale tr-state1 generato dalla circuiteria 15 è alto e mantiene inattivo il level-shifter 11; il segnale tr-state2 è basso e consente l'accensione del dispositivo 12. I transistor NMOS T13, T14 vengono pilotati dal level-shifter 12 in funzione e l'uscita OUT del dispositivo di pilotaggio di colonne varia tra VSS e VB.

Sempre il circuito 10 fa in modo che se il segnale logico LOW_FRAME è al livello logico 0, i segnali CN e CN_N vengono posti al livello logico 1 ed i segnali CP e CP_N commutano seguendo le commutazioni del segnale WHITE_PIX; più precisamente il segnale CP è in fase con il segnale WHITE_PIX mentre il segnale CP_N è il segnale CP negato.

Con i segnali logici CN e CN_N al livello logico 1, il level-shifter 12 è inattivo ed i transistor NMOS T13 e T14 sono spenti. Infatti il transistor M7 è

spento e l'accensione di uno dei transistor M8 o M9 provoca l'accensione di uno dei transistor M2 o M1 in quanto porta la tensione sui loro terminali di gate a VSS; in tal modo la tensione su uno dei terminali di gate dei transistor T11 e T12 è portata ad una tensione sostanzialmente uguale a VSS. L'accensione di uno dei transistor M1 o M2 provoca lo spegnimento dei transistor M3 e M6 e lo spegnimento dei transistor M10 e M11 che inibiscono l'accensione del dispositivo 12 e dei transistor T13 e T14. In tal caso il segnale tr-state2 generato dalla circuiteria 15 è alto e mantiene inattivo il level-shifter 12; il segnale tr-state1 è basso e consente l'accensione del dispositivo 11. I transistor PMOS T11, T12 vengono pilotati dal level-shifter 11 in funzione e l'uscita OUT del dispositivo di pilotaggio di colonne varia tra VLCD e VA.



RIVENDICAZIONI

1. Dispositivo per il pilotaggio di colonne di un display a cristalli liquidi comprendente una circuiteria logica (10) operante in un percorso di alimentazione compreso fra una prima (VDD) ed una seconda (VSS) tensione di alimentazione con detta prima tensione di alimentazione (VDD) più alta di detta seconda tensione di alimentazione (VSS), detta circuiteria logica (10) essendo capace di generare a partire da primi segnali logici (LOW_FRAME, WHITE_PIX) in ingresso secondi segnali logici (CP, CN, CP_N, CN_N) in uscita il cui valore è pari a detta prima (VDD) o seconda (VSS) tensione di alimentazione, dispositivi elevatori (11, 12) accoppiati a detta circuiteria logica (10) ed operanti in un percorso di alimentazione compreso fra una terza tensione di alimentazione (VLCD) maggiore di detta prima tensione di alimentazione (VDD) e detta seconda tensione di alimentazione (VSS), detti dispositivi elevatori (11, 12) essendo capaci di elevare il valore di detti secondi segnali logici (CP, CN, CP_N, CN_N), una prima (T11-T12) ed una seconda (T13-T14) coppia di transistor aventi differenti percorsi di alimentazione (VLCD-VA, VB-VSS) ed aventi un terminale di uscita (OUT) in comune, dette prima (T11-T12) e seconda (T13-T14) coppia di transistor essendo associate a detti dispositivi elevatori (11, 12) e a detta circuiteria logica (10) in modo da determinare il segnale di pilotaggio di una colonna, caratterizzato dal fatto che detti dispositivi elevatori (11, 12) sono due e ciascuno dei quali è collegato con una di dette coppie di transistor (T11-T12, T13-T14), e dal fatto di comprendere una circuiteria di spegnimento (15) accoppiata a detti due dispositivi elevatori (11, 12), detta circuiteria (10) essendo capace di mantenere in stato di spegnimento una di dette due coppie

di transistor (T11-T12, T13-T14) nel periodo di tempo di un frame quando l'altra di dette due coppie di transistor (T11-T12, T13-T14) è in condizioni operative.

2. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che detta circuiteria di spegnimento (15) opera in un percorso di alimentazione compreso fra detta terza (VLCD) e detta seconda tensione di alimentazione (VSS)

3. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che ciascuno di detti due dispositivi elevatori (11, 12) pilota separatamente i transistor di una di dette coppie (T11-T12, T13-T14) di transistor.

4. Dispositivo secondo la rivendicazione 3, caratterizzato dal fatto che detta circuiteria di spegnimento (15) ha uno (LOW_FRAME) di detti primi segnali logici (LOW_FRAME, WHITE_PIX) in ingresso il cui valore cambia a seconda di un frame pari o di un frame dispari.

5. Dispositivo secondo la rivendicazione 4, caratterizzato dal fatto che detta circuiteria di spegnimento (15) invia due segnali (tr_state1, tr_state2) complementari fra loro rispettivamente a detti due dispositivi elevatori (11, 12) a seconda dello stato di detto segnale logico (LOW_FRAME) in ingresso in modo tale da inibire l'accensione di uno o dell'altro dispositivo elevatore.

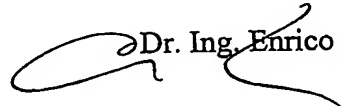
6. Dispositivo secondo la rivendicazione 5, caratterizzato dal fatto che dette coppie di transistor (T11-T12, T13-T14) sono coppie di transistor MOS.

7. Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto che dette coppie di transistor MOS (T11-T12, T13-T14) sono costituite da una coppia di transistor PMOS (T11-T12) e da una coppia di transistor NMOS (T13-T14), e detti due dispositivi elevatori (11, 12) comprendono ciascuno un

primo (M8, M14) ed un secondo (M9, M15) transistor NMOS pilotati da due di detti secondi segnali logici (CP, CN, CP_N, CN_N) complementari fra loro ed un primo (M4, M12) ed un secondo (M5, M13) transistor PMOS aventi i terminali pilotabili connessi rispettivamente con il terminale di drain di detto secondo (M9, M15) e primo (M8, M14) transistor NMOS, i terminali di drain connessi rispettivamente con i terminali di drain di detto primo (M8, M14) e secondo (M9, M15) transistor NMOS, ed i terminali di source accoppiati con detta terza tensione di alimentazione (VLCD).

8. Dispositivo secondo la rivendicazione 7, caratterizzato dal fatto che detta circuiteria di spegnimento (15) comprende un primo transistor (M7) sul cui terminale pilotabile è presente detto segnale logico (LOW_FRAME) in ingresso ed avente un terminale non pilotabile connesso a detta seconda tensione di alimentazione (VSS) e l'altro terminale non pilotabile collegato ai terminali pilotabili di due ulteriori transistor (M3, M6) aventi primi terminali non pilotabili connessi rispettivamente con i terminali di drain di detto primo (M8) e secondo (M9) transistor NMOS di uno (11) di detti dispositivi elevatori (11, 12) e l'altro terminale non pilotabile connesso con detta terza tensione di alimentazione (VLCD), il terminale pilotabile di detti due ulteriori transistor (M3, M6) essendo collegato al terminale pilotabile in comune di altri due ulteriori transistor (M10, M11) aventi primi terminali non pilotabili connessi rispettivamente con i terminali di source di detti primo (M12) e secondo (M13) transistor PMOS dell'altro di (12) di detti dispositivi elevatori (11, 12) e l'altro terminale non pilotabile connesso alla terza tensione di alimentazione (VLCD), detta circuiteria (15) comprendendo altri ancora ulteriori due transistor (M1, M2) aventi i terminali pilotabili connessi

rispettivamente con i terminali di drain di detto primo (M8) e secondo (M9) transistor NMOS di uno (11) di detti dispositivi elevatori (11, 12), primi terminali non pilotabili connessi a detto altro terminale non pilotabile di detto primo transistor (M7) e secondi terminali non pilotabili connessi a detta terza tensione di alimentazione (VLCD).

 Dr. Ing. Enrico Mittler



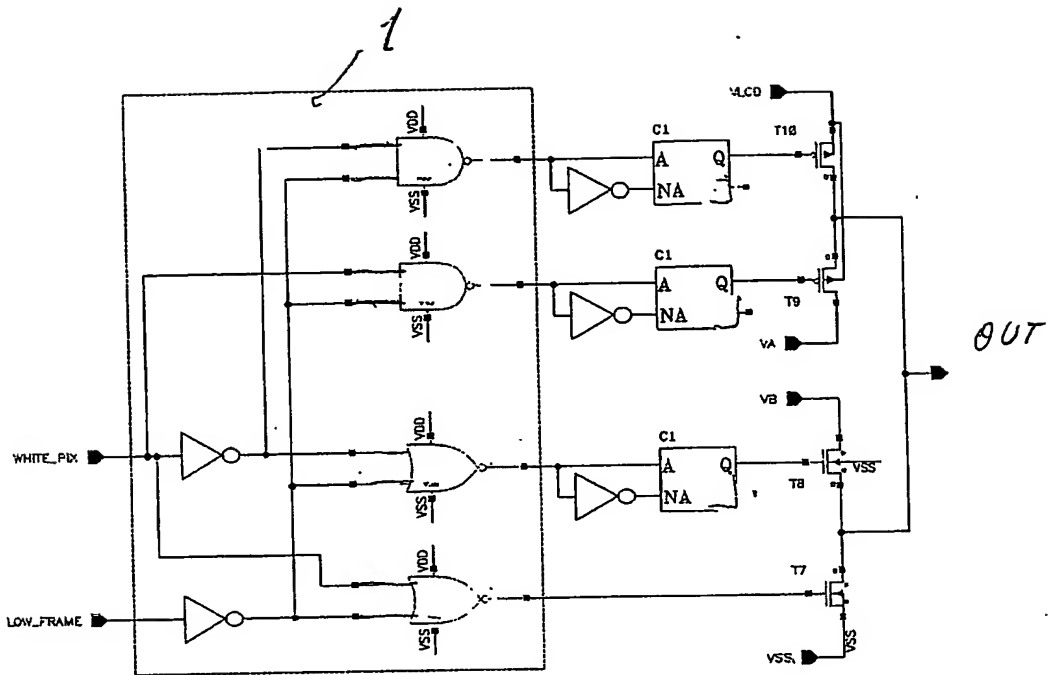


FIG 1

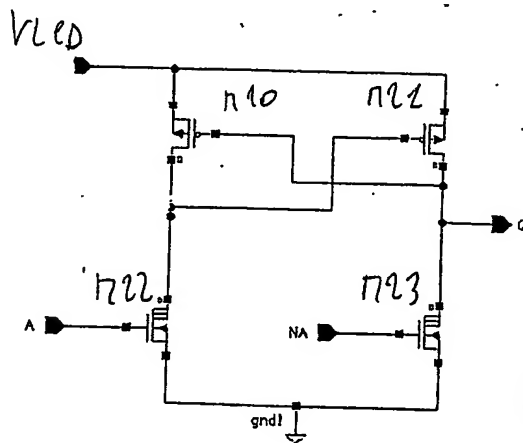


FIG 2



MI 2002A 001424

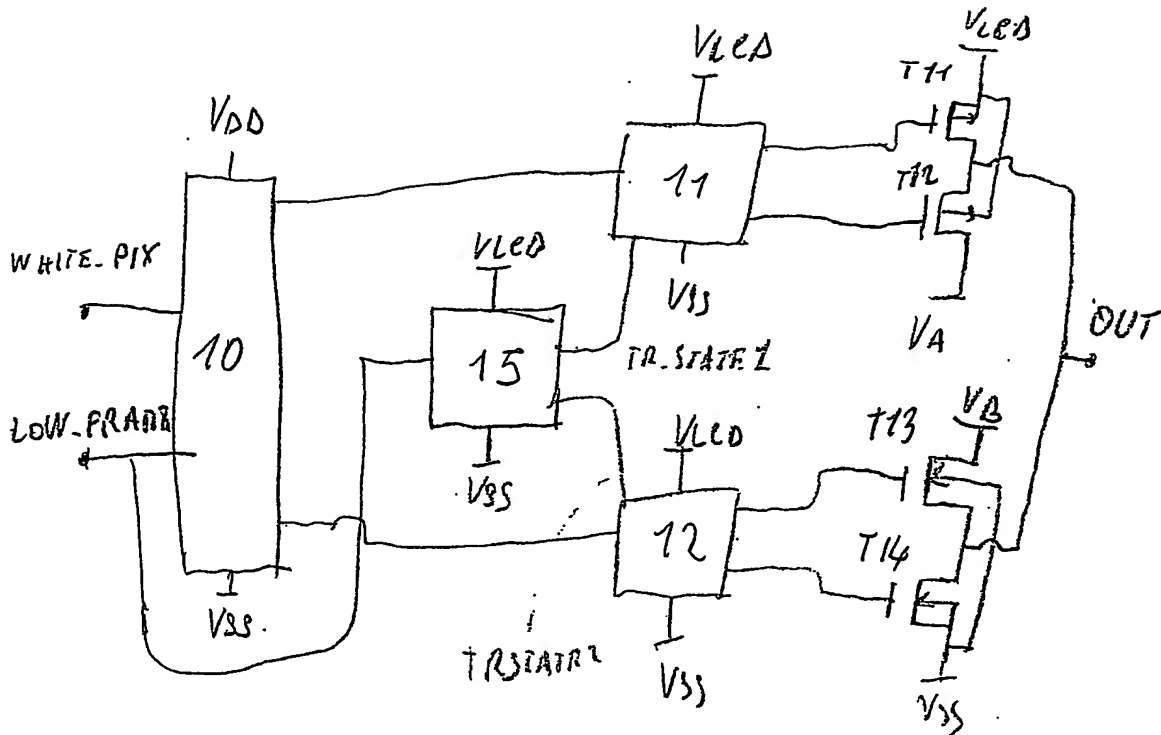


FIG. 5

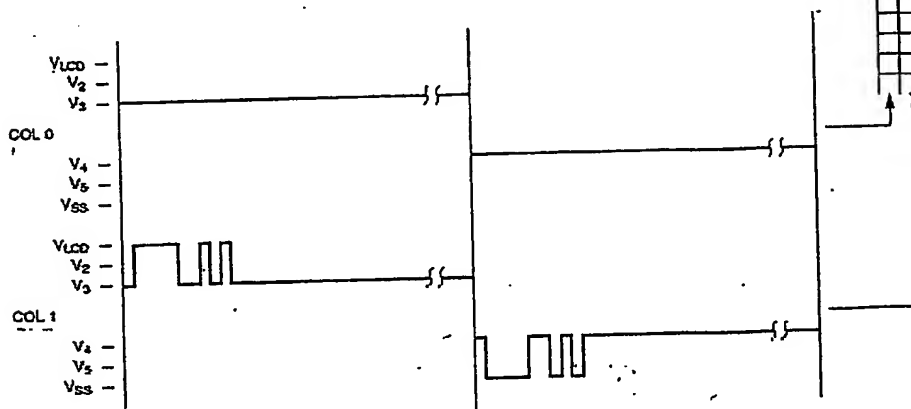


FIG. 3

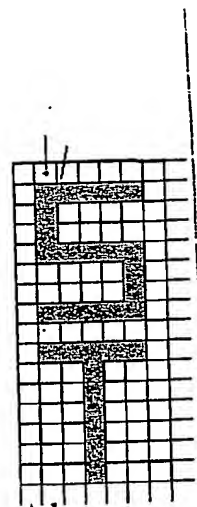
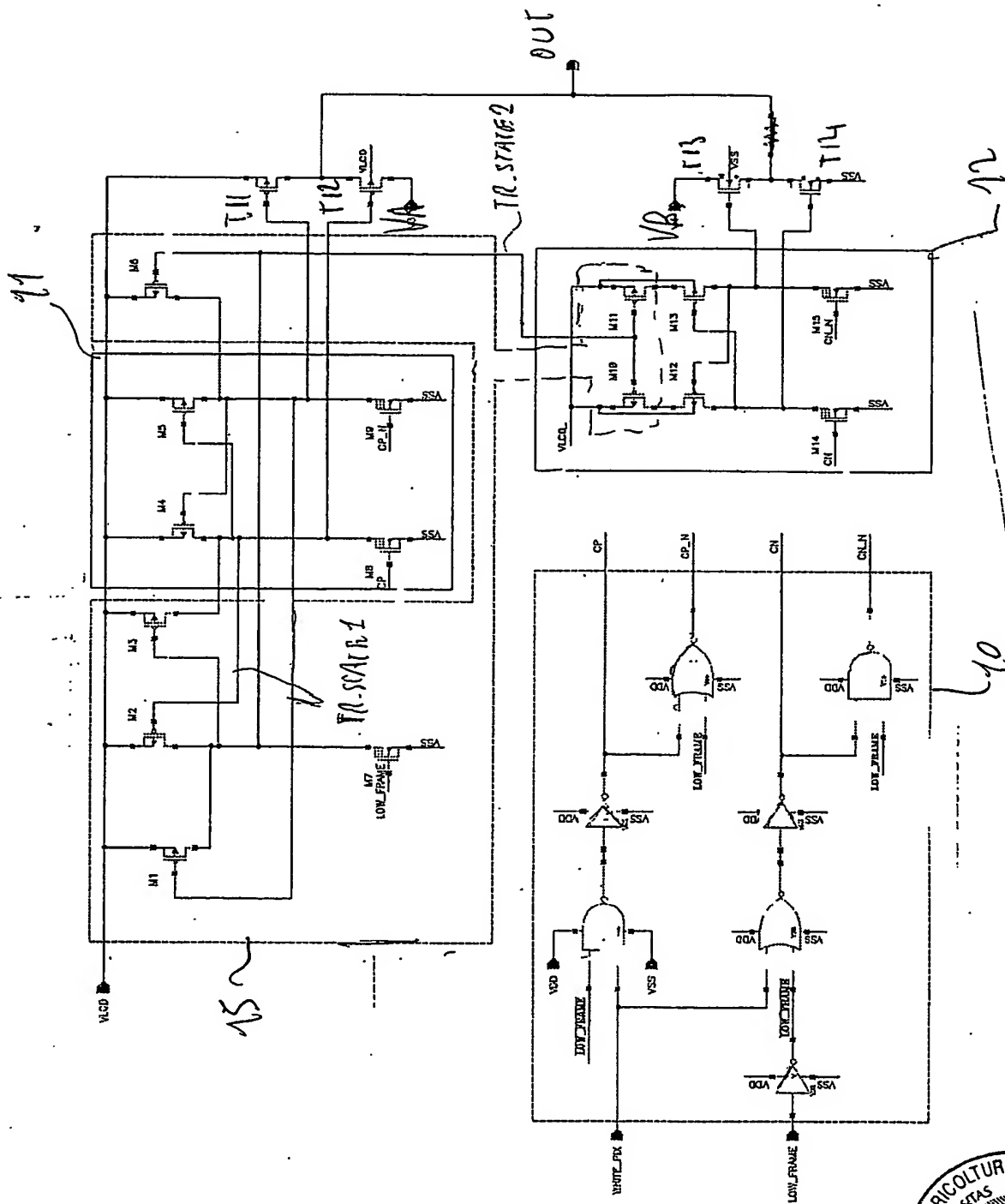


FIG. 4

MI 2002A 001424





MI 2002 A 001424



Dr. Ing. Enrico MITTLER

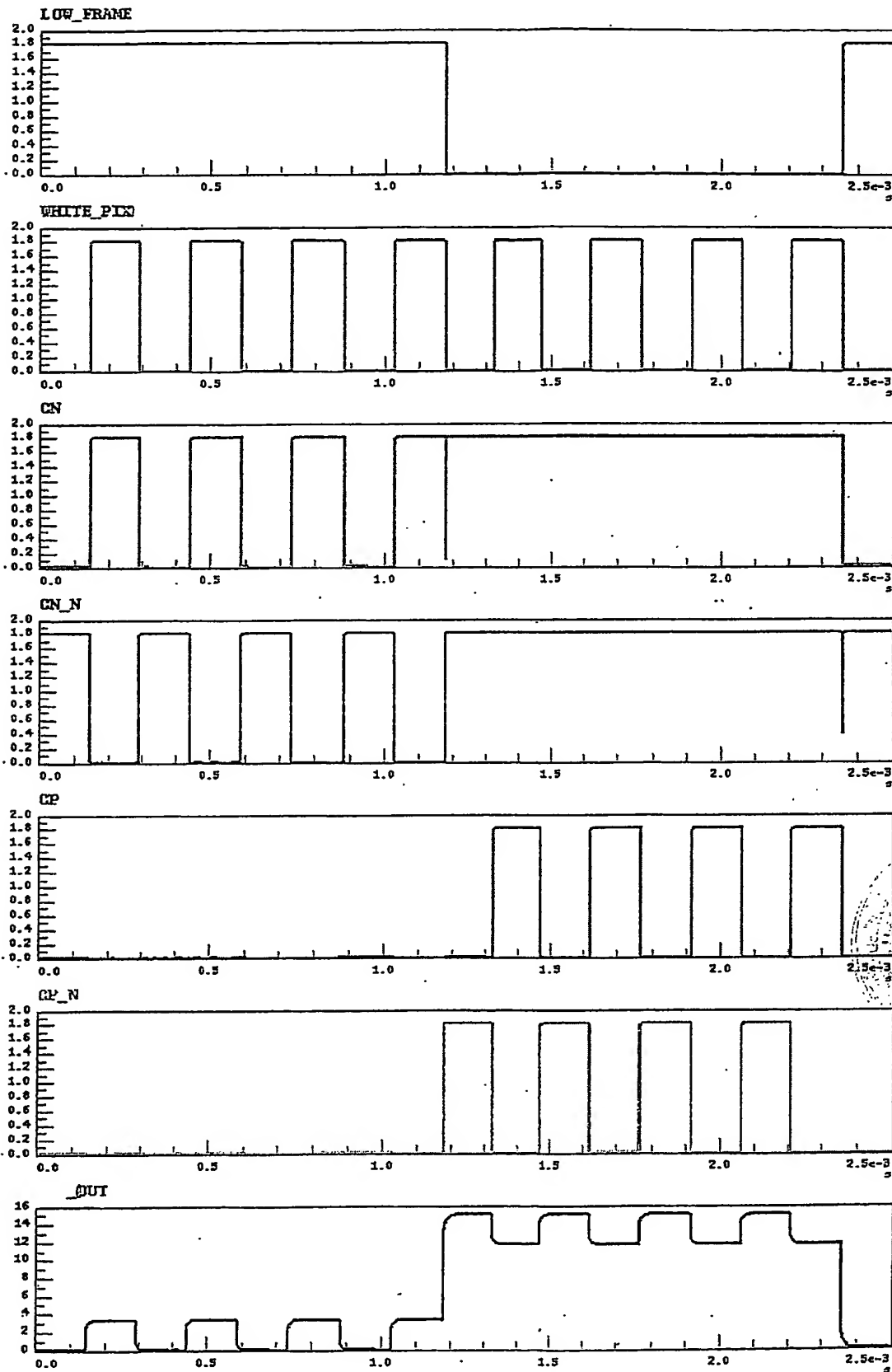


FIG. 7

MI 2002 A 001424

Dr. Ina. Enrico MITTLER



CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI MILANO

Documenti a seguito di riserve - Reg. R

Data consegna	Protocollo riserva	Richiedente
01 Agosto 2002	<div>BREV. MI - F 002196</div>	1. STMicroelectronics s.r.l.
		2. DORA S.p.A.

Rappresentante del richiedente
Dr. Ing. Enrico Mittler

Rif. n° domanda	data presentazione domanda
MI2002A 001424	27 Giugno 2002
invenzione:	<input checked="" type="checkbox"/>
modello:	<input type="checkbox"/>
marchio:	<input type="checkbox"/>



Oggetto del seguito
1 Disegni. Tavole No. 4
2
3
4
5
6
7
8

Il depositante
<i>[Signature]</i>

L'ufficiale rogante
<i>[Signature]</i> Giuseppe Rescili

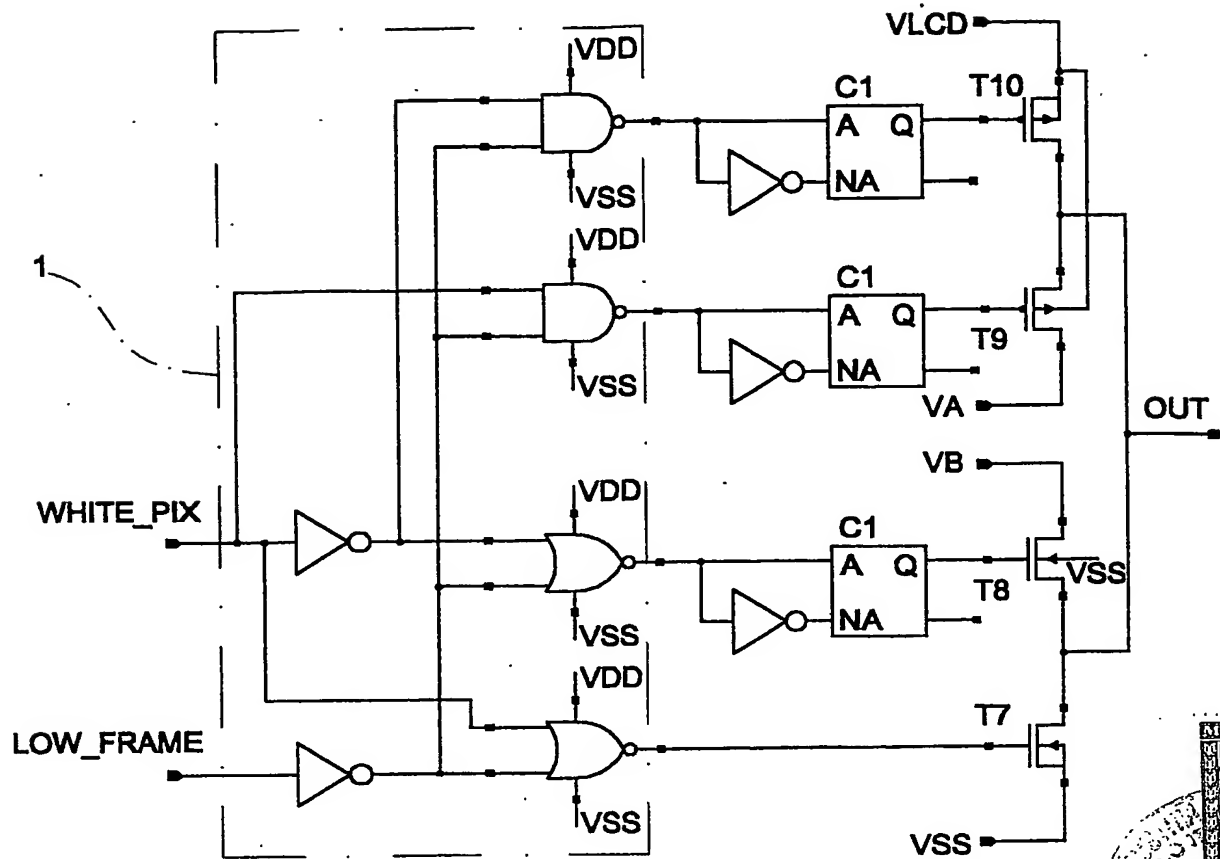


Fig.1

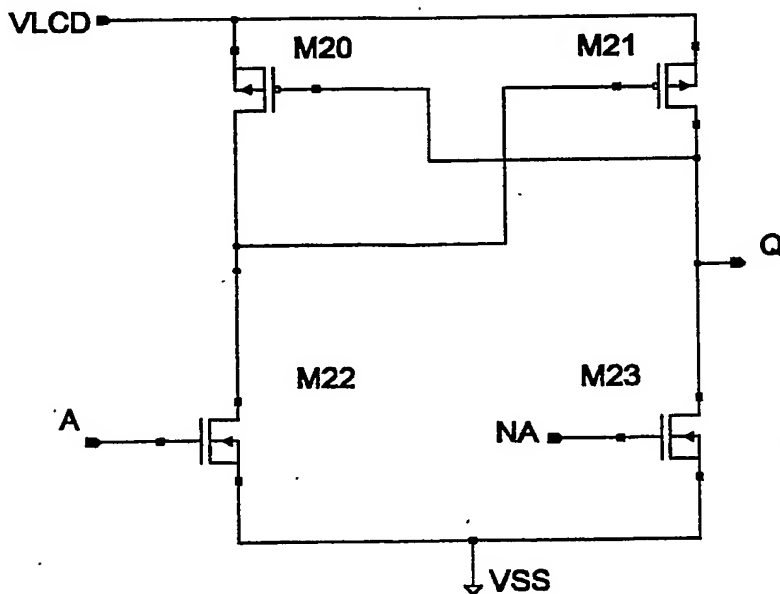


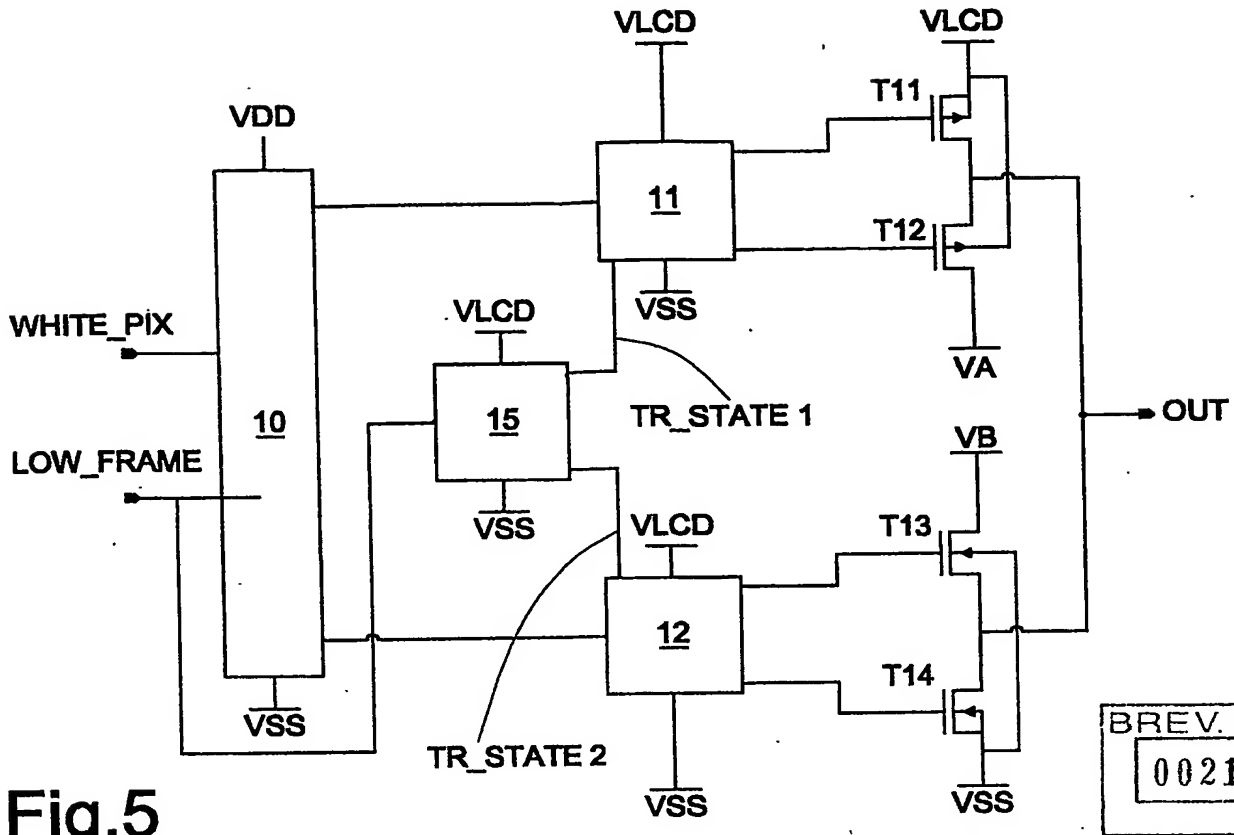
Fig.2



BREV. MI - R
002196



Dr. Ing. Enrico MITTLER



BREV. MI - R
002196

Fig. 3

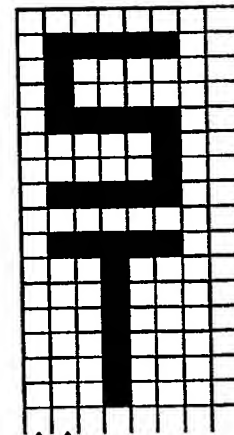
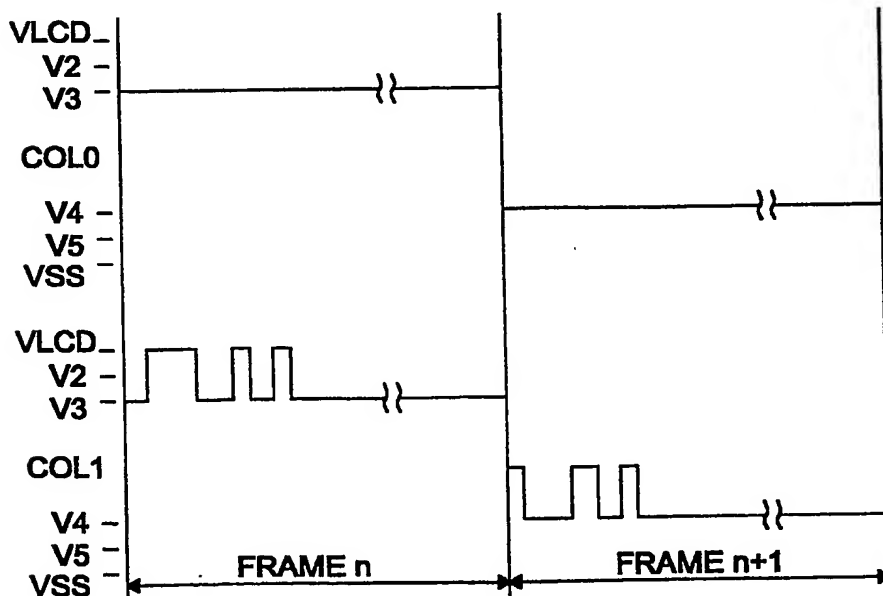


Fig. 4

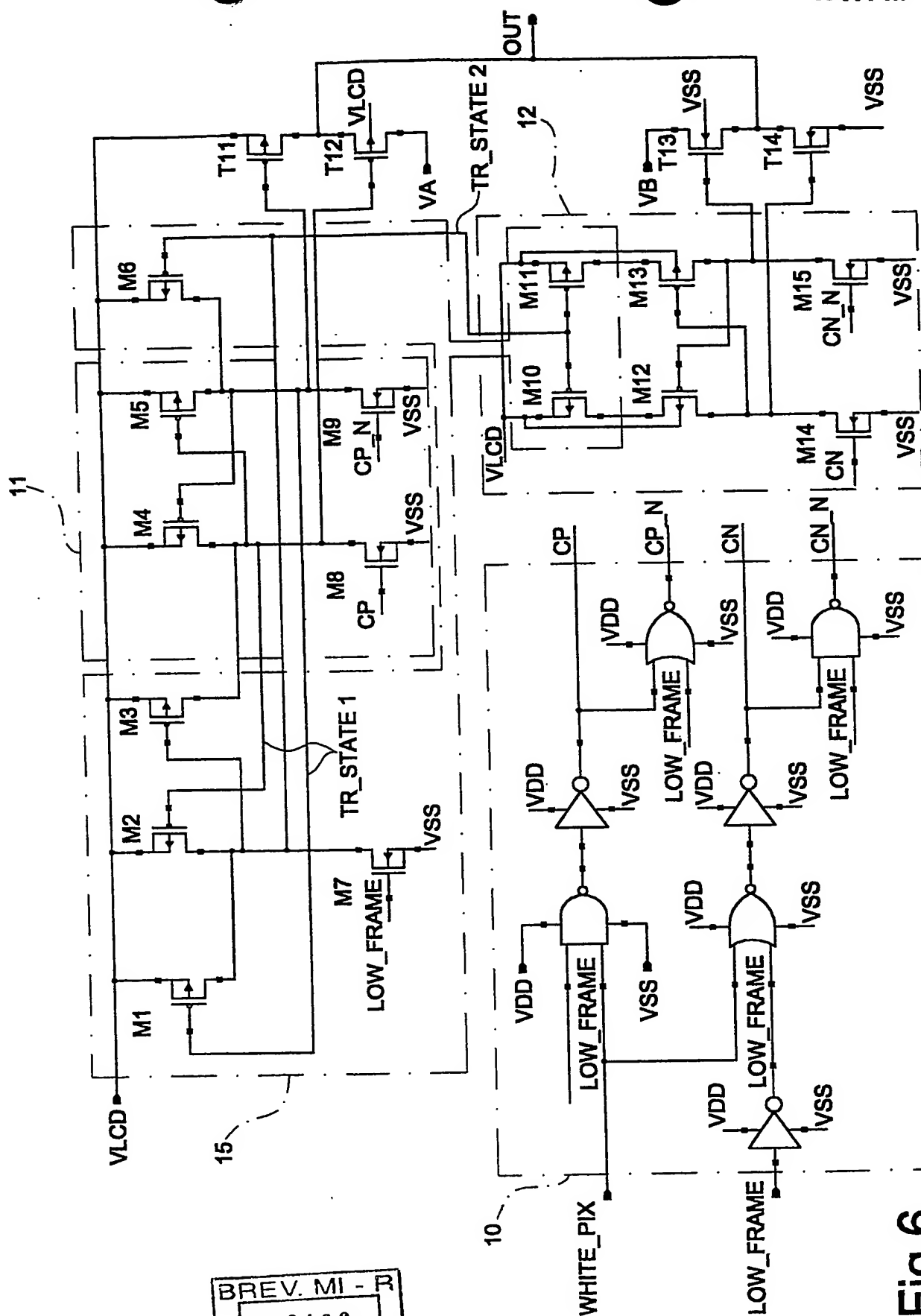
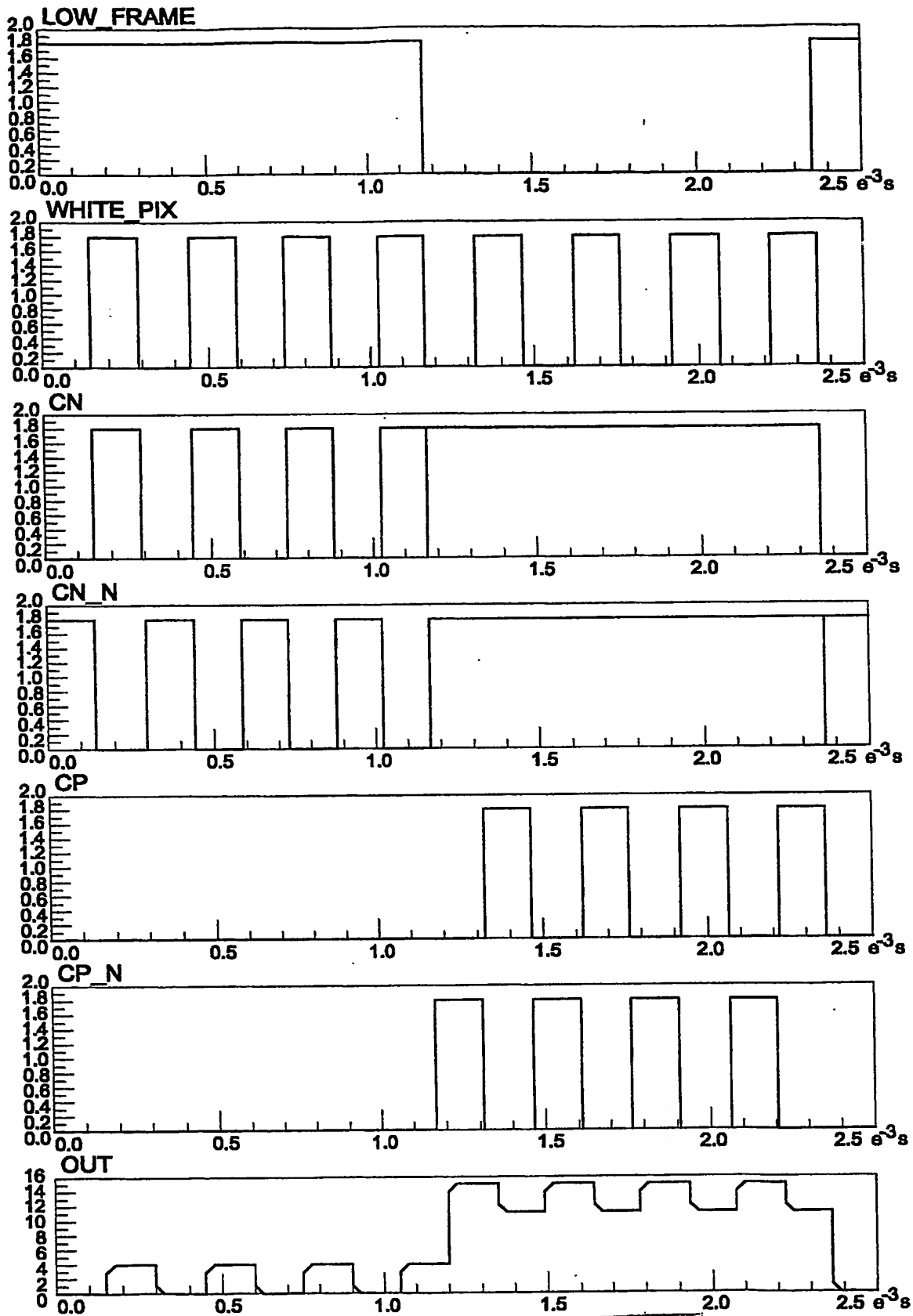


Fig. 6

BREV. MI - R
002196



BREV. MI - R
002196

Fig.7

Dr. Ing. Enrico MITTLER